

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-055631  
 (43)Date of publication of application : 24.02.1998

(51)Int.Cl. G11B 20/18  
 G11B 20/18  
 G11B 20/18

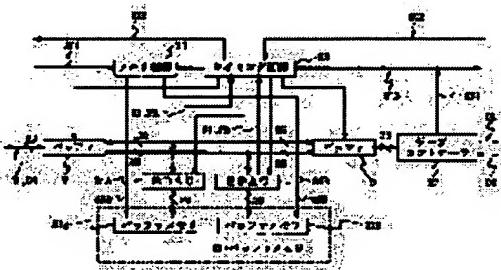
(21)Application number : 08-229391 (71)Applicant : SONY CORP  
 (22)Date of filing : 12.08.1996 (72)Inventor : MORITA SHINYA

## (54) DATA PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase reliability of a buffer memory and a peripheral circuit by processing the error correction of data outputted from the buffer memory by the installation of an EDAC and retrying the recording or output processing operation of the data against external devices and recording/reproducing system according to need, based on the processing result.

**SOLUTION:** The EDACs 24a and 24b are respectively arranged corresponding to each buffer memory 21A and 21B, thereby a check bit of error correcting code is added to data D1 inputted from the buffer 7 at the recording operation. Further at the recording operation, the data D1 outputted from each buffer memory 21A and 21B are processed for error detection by the check bit, and the error correction is processed when the bit error of one bit is detected, and when the bit error of two or more bits are detected, the data D1 are outputted as they are, and simultaneously, the result of the error correction is informed to a timing control circuit 25. Also at the reproduction, the error detection and the correction processing are executed on inputted data D2 for reproduction by almost the same manner as the recording operation.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-55631

(43)公開日 平成10年(1998)2月24日

(51)Int.Cl.<sup>6</sup>  
G 1 1 B 20/18

識別記号  
5 4 4  
5 5 2  
5 7 2

府内整理番号  
F I  
G 1 1 B 20/18

技術表示箇所  
5 4 4 Z  
5 5 2 A  
5 7 2 B  
5 7 2 G

審査請求 未請求 請求項の数 6 FD (全 22 頁)

(21)出願番号 特願平8-229391

(22)出願日 平成8年(1996)8月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 森田 信也

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

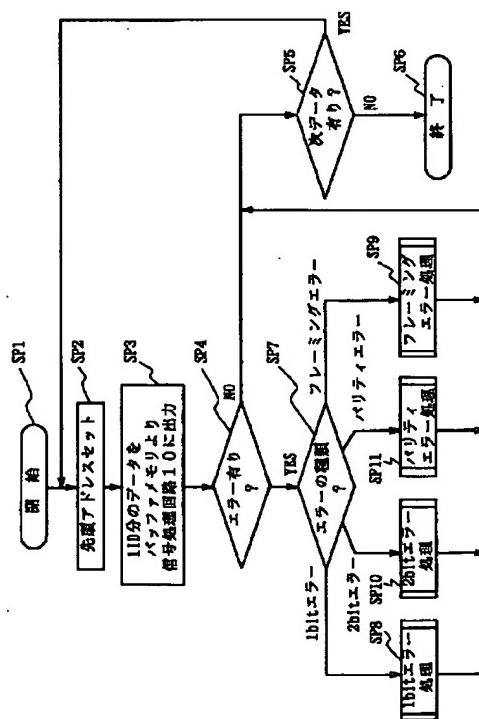
(74)代理人 弁理士 多田 繁範

(54)【発明の名称】 データ処理装置

(57)【要約】

【課題】データ処理装置に関し、例えばテープストリーマ等の大容量記憶装置に適用して、バッファメモリ及び周辺回路の信頼性を向上する。

【解決手段】バッファメモリの出力データを誤り検出訂正処理し、誤り訂正処理結果に基づいて、必要に応じて外部機器、記録再生系に対してデータ記録、データ出力の処理をリトライする。



**【特許請求の範囲】**

**【請求項 1】** 外部機器より入力されるデータをデータ記録媒体に記録し、又は前記データ記録媒体に記録したデータを再生して前記外部機器に出力するデータ処理装置において、

前記外部機器又は前記データ記録媒体より得られるデータに誤り訂正符号を付加する誤り訂正符号付加手段と、前記誤り訂正符号付加手段の出力データを一旦格納するバッファメモリと、

前記バッファメモリに格納したデータを誤り訂正処理し、前記データ記録媒体に記録し又は前記外部機器に出力し、誤り訂正処理結果を出力する誤り訂正手段と、前記誤り訂正処理結果に基づいて、全体の動作を制御する制御手段とを備え、

前記制御手段は、

前記誤り訂正処理結果に基づいて、前記バッファメモリより出力されるデータに誤りが発生した場合、

前記バッファメモリより対応するデータを再び読み出し、前記誤り訂正手段を介して、前記データ記録媒体に記録し、又は前記外部機器に出力することを特徴とするデータ処理装置。

**【請求項 2】** 前記制御手段は、

前記バッファメモリより対応するデータを再び読み出した際の、前記誤り訂正手段より得られる第2の誤り訂正処理結果に基づいて、前記外部機器又は前記データ記録媒体より対応するデータを前記バッファメモリに格納し直した後、前記誤り訂正手段を介して、前記データ記録媒体に記録し、又は前記外部機器に出力することを特徴とする請求項 1 に記載のデータ処理装置。

**【請求項 3】** 前記制御手段は、

前記誤り訂正処理結果、及び又は前記バッファメモリより対応するデータを再び読み出した際に、前記誤り訂正手段より得られる第2の誤り訂正処理結果を記録に残すことを特徴とする請求項 1 に記載のデータ処理装置。

**【請求項 4】** 前記制御手段は、

前記誤り訂正処理結果及び前記第 2 の誤り訂正処理結果に応じて、故障内容を自己診断し、該診断結果に基づいて全体の動作を切り換えることを特徴とする請求項 2 に記載のデータ処理装置。

**【請求項 5】** 前記制御手段は、

前記記録に残した誤り訂正処理結果に基づいて、前記データの誤り発生頻度を算出し、前記発生頻度に基づいて警告を発生することを特徴とする請求項 3 に記載のデータ処理装置。

**【請求項 6】** 前記データ記録媒体は、

磁気テープでなることを特徴とする請求項 1 に記載のデータ処理装置。

**【発明の属する技術分野】** 本発明は、データ処理装置に関するものである。例えばテープストリーマ等の大容量記憶装置に適用して、バッファメモリの出力データを誤り訂正処理し、誤り訂正処理結果に基づいて必要に応じて外部機器、記録再生系に対してデータ出力等の処理をリトライすることにより、バッファメモリ及び周辺回路の信頼性を向上する。

**【0002】**

**【従来の技術】** 従来、この種のデータ処理装置は、大容量のバッファメモリを介してホストコンピュータとの間でデータを入出力するようになされ、これにより記録再生系と、この記録再生系に対して非同期の外部機器との間で、所望のデータを記録再生するようになされている。

**【0003】** すなわち図 2 1 は、データ処理装置を示すプロック図である。このデータ処理装置 1 は、磁気テープ MI に順次斜めに記録トラックを形成し、ホストコンピュータでなる外部機器よりデータ D 1 を入力してこの記録トラックに記録する。すなわちこのデータ処理装置 1 において、インターフェース (I/F) 2 は、インターフェース (I/F) 制御回路 3 により制御されて、ホストコンピュータとの間で制御コマンド、記録再生に供するデータ D 1、D 2 等を入出力する。

**【0004】** このためインターフェース制御回路 3 は、インターフェース 2 を介してホストコンピュータより出力される制御コマンドを監視し、必要に応じてシステム制御回路 4 に通知し、さらにバッファメモリ 5 にコントロール信号 S C 1 を出力して続いて入力されるデータ D 1 をバッファメモリ 5 に格納する。このときインターフェース制御回路 3 は、インターフェース 2 を介して、論理フォーマットに必要なデータをホストコンピュータより入力されるデータ D 1 に付加する。また再生時、インターフェース制御回路 3 は、記録時とは逆に、コントロール信号 S C 1 を出力してバッファメモリ 5 に蓄積されたデータをホストコンピュータに送出する。なおこのホストコンピュータとの間の通信は、SCSI (Small Computer System Interface) により実行され、またデータ D 1、D 2 は、32 ビットパラレルにより入出力される。

**【0005】** バッファメモリ 5 は、このデータ D 1、D 2 を一旦保持して所定のタイミングで出力する。図 2 2 は、このバッファメモリ 5 を周辺回路と共に示すプロック図である。バッファメモリ 5 は、2 系統のバッファメモリ 5 A 及び 5 B により構成され、これら 2 系統のバッファメモリ 5 A 及び 5 B の動作を交互に切り換えることにより、同時並列的にデータの書き込み及び読み出しの処理を実行して、高速度でデータ D 1 及び D 2 を入出力する。

**【0006】** メモリ制御回路 6 は、記録時、コントロール信号 S C 1 に従ってアドレス ADA、ADB を発行し

**【発明の詳細な説明】**

**【0001】**

てバッファメモリ5をアドレス制御し、これによりバッファ7を介してインターフェース2より入力されるデータD1をバッファメモリ5に格納する。またシステム制御回路4より出力されるコントロール信号SC2に応動して、同様にバッファメモリ5をアドレス制御し、これによりバッファメモリ5に格納したデータD1を磁気テープMの記録に適したタイミングにより所定のブロック単位で出力する。さらにメモリ制御回路6は、再生時、これとは逆に、コントロール信号SC2に応動してアドレス制御することにより、磁気テープMより所定のブロック単位で再生されるデータD2をバッファメモリ5に格納し、またコントロール信号SC1に応動してこの格納したデータD2をホストコンピュータに同期したタイミングで出力する。

【0007】バッファ7は、インターフェース2及びバッファメモリ5間のバッファを形成し、バッファ9は、バッファメモリ5及びテープコントローラ11間のバッファを構成する。テープコントローラ11は、続く信号処理回路10(図21)等により構成され、バッファ9との間でデータD1、D2を送受する。

【0008】信号処理回路10は、記録時、順次入力されるデータD1をデータ処理した後、また磁気テープMの記録に適した符号化方式により符号化して出力する。またこれとは逆に、再生時、信号処理回路10は、RF回路12より得られる再生データを復号した後、データ処理し、これによりデータD2を再生してバッファメモリ5に出力する。

【0009】RF回路12は、記録時、信号処理回路10の出力データにより回転ヘッド13を駆動し、これにより磁気テープMに順次斜めに記録トラックを形成してデータD1を記録する。またこれとは逆に、再生時、RF回路12は、回転ヘッドより得られる再生信号より再生データを生成して出力する。

【0010】サーボ回路14は、システム制御回路4により制御されて、磁気テープ走行系の動作を制御し、これによりデータ処理装置1では、磁気テープを頭出しし、またホストコンピュータより入力されるデータD1を繋ぎ取り記録する。すなわちシステム制御回路4は、ホストコンピュータより書き込みのコマンドが入力されると、サーボ回路14を制御して磁気テープMを所定員だけ巻き戻した後、磁気テープMの走行を開始し、これにより磁気テープMを助走して繋ぎ取り記録する。またシステム制御回路4は、ホストコンピュータより再生コマンドが入力されると、対応する箇所まで磁気テープを巻き戻した後、磁気テープMの走行を開始し、これによりホストコンピュータの要求に従って磁気テープに記録されたデータD2を再生する。

【0011】かくするにつき、この種の磁気記録媒体においては、ドロップアウト等によりビット誤りを避け得ず、このためこの種のデータ処理装置1においては、記

録時、信号処理回路10におけるデータ処理において、強力な誤り訂正符号を付加し、またクロスインターリーブ処理し、さらには同一データを磁気テープに重複分散して記録する。これによりこの種のデータ処理装置1においては、磁気記録再生系におけるビット誤りを殆ど無視し得る程度の、極めて低い値に保持するようになされ、これにより極めて高い信頼性を確保するようになされている。

#### 【0012】

【発明が解決しようとする課題】ところでこのようなデータ処理装置1においては、磁気テープに対するデータの記録再生については、データエラーに対して充分に考慮されているものの、バッファメモリに対してはデータエラーに対して特に対応しないのが実情である。

【0013】ところが近年装置の高速化に伴い、バッファメモリも大容量化し、バッファメモリのエラーが無視できないことが判った。具体的に、バッファメモリ5に32[M byte]のものを使用して、図21について上述したデータ処理装置を動作させた場合、正しく動作しているにも係わらず、数年に1回程度、宇宙線によるビット誤りが発生することが判った。

【0014】本発明は以上の点を考慮してなされたもので、この種のビット誤りを有効に回避して、従来に比してバッファメモリ及び周辺回路の信頼性を向上することができるデータ処理装置を提案しようとするものである。

#### 【0015】

【課題を解決するための手段】かかる課題を解決するため本発明においては、外部機器又はデータ記録手段より入力されるデータに誤り訂正符号を付加してバッファメモリに格納し、この誤り訂正符号による誤り訂正処理結果に基づいて、バッファメモリより出力されるデータに誤りが発生した場合、バッファメモリより対応するデータを読み出し、誤り訂正手段を介して、データ記録媒体に記録し、又は外部機器に出力する。

【0016】バッファメモリより出力されるデータに誤りが発生した場合、バッファメモリより対応するデータを読み出し、誤り訂正手段を介して、データ記録媒体に記録し、又は外部機器に出力すれば、単にバッファメモリをアクセスするだけの処理により、外部機器等からデータを再送することなく、偶発的に発生したビットエラーを確認することができる。

#### 【0017】

【発明の実施の形態】以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【0018】図2は、本発明の実施の形態に係るデータ処理装置を示すブロック図である。このデータ処理装置20においては、バッファメモリ21の入出力データを監視し、この監視結果に基づいて必要に応じて記録再生の処理をリトライする。なおこの図2に示す構成において

て、図21について上述した従来構成と同一の構成は対応する符号を付して示し、重複した説明は省略する。

【0019】図3は、このバッファメモリ21の周辺構成を示すブロック図である。ここでバッファメモリ21は、2系統のバッファメモリ21A及び21Bにより構成され、これら2系統のバッファメモリ21A及び21Bの動作を交互に切り換えることにより、同時並列的にデータの書き込み及び読み出しの処理を実行し、高速度でデータD1及びD2を入出力する。このデータ書き込み読み出しの際、バッファメモリ21A及び21Bは、1ID(117769バイト=29440ワード)を単位にして、データD1を信号処理回路10に出力し、また信号処理回路10より入力されるデータD2を格納する。

【0020】EDAC(Error Detection And Correction)24A及び24Bは、それぞれ各バッファメモリ21A及び21Bに対応して配置され、記録時、バッファ7より入力されるデータD1に誤り訂正用の符号となるチェックビットを附加する。ここでEDAC24A及び24Bは、図4に示すように、1ワード(32ビット)のデータD1に対し、7ビットのチェックビットを附加する。

【0021】さらにEDAC24A及び24Bは、記録時、各バッファメモリ21A及び21Bより出力されるデータD1をチェックビットにより誤り検出処理し、誤り訂正可能な場合には誤り訂正処理する。すなわちEDAC24A及び24Bは、39ビットのデータに対して、1ビットのビット誤りが検出された場合、対応するビットの論理レベルを反転して誤り訂正処理する。これに対して2ビット以上のビット誤りが検出された場合、誤り訂正困難なことにより、そのままデータD1を出力する。

【0022】さらにEDAC24A及び24Bは、この誤り訂正処理結果をエラーフラグF1によりタイミング制御回路25に通知する。ここでエラーフラグF1が値1の場合、エラーが発生していない状態を示し、エラーフラグF1が値2の場合、誤り訂正できなかつたことを通知するようになされている。

【0023】さらにEDAC24A及び24Bは、このように処理したデータD1を出力する際に、32ビットのデータD1に対して、4ビットのパリティ符号を附加して出力し、これにより続く周辺回路におけるビットエラーを検出できるようになされている。

【0024】これに対して再生時、EDAC24A及び24Bは、図6に示すように、4ビットのパリティ符号が附加されてなる再生データD2を受け、このパリティ符号により誤り検出処理する。さらにEDAC24A及び24Bは、誤り検出結果をエラーフラグF2によりタイミング制御回路25に通知する。これによりEDAC

24A及び24Bは、信号処理回路10よりEDAC24A及び24Bに至までの経路について、この経路で発生したエラーを検出して通知する。

【0025】さらにEDAC24A及び24Bは、再生時、このようにして入力されるデータD2よりパリティ符号を除去した後、記録時と同様の、7ビットのチェックビットを附加してバッファメモリ21A及び21Bに格納する。さらにEDAC24A及び24Bは、図7に示すように、このようにして格納したデータD2を出力する際に、チェックビットにより誤り訂正処理し、誤り訂正処理結果をエラーフラグF1によりタイミング制御回路25に通知する。これによりEDAC24A及び24Bは、記録再生時、バッファメモリ21A及び21Bへの入出力の際にデータD1及びD2のビット誤りを監視して監視結果を通知すると共に、誤り訂正可能な場合は誤り訂正処理するようになされている。

【0026】テープコントローラ27は、信号処理回路10(図2)等により構成され、記録時、バッファメモリ24A及び24Bより入力されるデータD1をデータ処理して出力する。このときテープコントローラ27は、データD1に附加されたパリティ符号によりデータD1のビット誤りを検出し、検出結果をエラー情報E1としてシステム制御回路22に出力する。これによりデータ処理装置20では、バッファメモリ24A及び24Bより信号処理回路10に至までの間で、データD1に発生したビットエラーを検出し、検出結果を出力するようになされている。またテープコントローラ27は、再生時、信号処理回路10より出力されるデータD2に4ビットのパリティ符号を附加して出力し、このパリティ符号によりビットエラーを検出できるようになる。

【0027】さらにテープコントローラ27は、記録再生時、1ID単位で入力されるデータD1、D2の最後尾のデータを検出し、これによりフレーミングエラーを検出する。ここでフレーミングエラーは、何らかの原因により1IDを単位にしてなるデータのブロック構造が乱れるエラーである。この実施の形態では、記録時、インターフェース制御回路3において16進数で「0FOFOFOF」のデータが各ブロックの最後尾に附加され、テープコントローラ27は、最後尾のデータがこれと異なる場合、フレーミングエラーと判断してエラー情報E1を出力する。

【0028】メモリ制御回路26は、インターフェース制御回路3より出力されるコントロール信号SC1に応じて、またタイミング制御回路25に入力されるコントロール信号SC2に応じて、バッファメモリ21A及び21Bをアドレス制御し、これにより記録再生時、バッファメモリ21A及び21Bのメモリ空間を順次指定して、データD1、D2をバッファメモリ21A及び21Bに格納し、また格納したデータD1、D2を読み出す。

【0029】タイミング制御回路25は、バッファメモリ21A及び21Bと、周辺回路とを制御する制御回路であり、エラーフラグF1に応じてシステム制御回路22及びインターフェース制御回路3にエラー情報EE3を通知する。このときタイミング制御回路25は、メモリ制御回路26の発行するアドレスADA及びADBをモニタすることにより、エラーの発生したデータに対応するバッファメモリ21A及び21Bのアドレスを併せてシステム制御回路22に通知する。またタイミング制御回路25は、エラー情報EE1及びEE3に応動したシステム制御回路22の制御により、後述するようにバッファメモリ21A及び21Bの動作を切り換え制御する。

【0030】かくするにつきこの実施の形態では、記録時、図8に示すような経路により、インターフェース2より入力したデータD1を信号処理回路10に出力し、このときEDAC24A及び24Bからバッファメモリ21A及び21Bへデータを出力した後、バッファメモリ21A及び21BからEDAC24A及び24Bに入力するまでの間で発生したビットエラーについて、EDAC24A及び24Bにおいてチェックビットによりビットエラーを監視し、可能な限り誤り訂正する。またこのEDAC24A及び24Bからテープコントローラ27までの間については、パリティ符号によりテープコントローラ27でビットエラーを監視する。さらにインターフェース2よりテープコントローラ27までの間について、テープコントローラ27によりフレーミングエラーを監視する。

【0031】これに対して図9に示すように、再生��においては、テープコントローラ27からEDAC24A及び24Bまでの間については、EDAC24A及び24Bにおいて、パリティ符号によりビットエラーを監視する。さらにEDAC24A及び24Bからバッファメモリ21A及び21Bへデータを出力した後、バッファメモリ21A及び21BからEDAC24A及び24Bに入力するまでの間で発生したビットエラーについて、EDAC24A及び24Bにおいて、チェックビットによりビットエラーを監視し、可能な限り誤り訂正する。さらに磁気記録再生系よりテープコントローラ27に至るまでの間について、テープコントローラ27によりフレーミングエラーを監視する。

【0032】システム制御回路22(図2)は、外部機器より入力される制御コマンドに応動してこのデータ処理装置20全体の動作を制御し、これにより外部機器より入力されるデータD1を磁気テープMに記録し、またこの磁気テープMに記録したデータD2を再生して外部機器に出力する。このときシステム制御回路22は、タイミング制御回路25等より出力されるエラー情報EE1～EE2に従って必要に応じて全体の動作を切り換え制御し、これによりバッファメモリ21A、21B及び

周辺回路によるビットエラーを可能な限り修復する。またビットエラーが発生した場合は、不揮発メモリにより構成される履歴メモリ23に記録を残し、この記録により必要に応じてユーザーに警告を発生する。

【0033】すなわちシステム制御回路22は、外部機器より書き込みの制御コマンドが入力されると全体の動作を記録の動作モードに切り替え、外部機器の動作に同期したタイミングで、インターフェース2を介して入力されるデータD1をバッファメモリ21A及び21Bに順次格納する。この状態でシステム制御回路22は、図1に示すように、ステップSP1からステップSP2に移り、バッファメモリ21A及び21Bの先頭アドレスをセットした後、ステップSP3に移り、バッファメモリ21A及び21Bより1ID分のデータD1をバッファメモリ21A及び21Bより読み出して信号処理回路10に転送する。

【0034】このときシステム制御回路22は、続くステップSP4において、エラー情報EE1、EE2に基づいてエラーが発生したか否か判断し、ここで否定結果が得られると、ステップSP5に移る。ここでシステム制御回路22は、続くデータD1の有無を判断し、続くデータD1がバッファメモリ21A及び21Bに保持されている場合、ステップSP2に移り、続く1ID分のデータD1について同様の処理を繰り返す。これに対して続くデータD1がバッファメモリ21A及び21Bに保持されていない場合、ステップSP5よりステップSP6に移り、この処理手順を終了する。これによりシステム制御回路22は、エラーを監視しながら、1ID単位でデータD1を磁気テープMに記録する。

【0035】この一連の処理において、エラーが発生すると、システム制御回路22は、1ID分のデータを記録した後、ステップSP7に移り、エラーの種類を判別する。ここで発生したエラーがEDAC24A及び24Bにより検出された1ビットエラーの場合、システム制御回路22は、ステップSP8に移り、後述する1ビットエラー処理を実行してステップSP5に戻る。これに対して発生したエラーがテープコントローラ27により検出されたフレーミングエラーの場合、ステップSP9に移り、後述するフレーミングエラー処理を実行してステップSP5に戻る。

【0036】さらに発生したエラーがEDAC24A及び24Bにより検出された2ビットエラーの場合、システム制御回路22は、ステップSP10に移り、後述する2ビットエラー処理を実行してステップSP5に戻る。さらに発生したエラーがテープコントローラ27により検出されたパリティエラーの場合、システム制御回路22は、ステップSP11に移り、後述するパリティエラー処理を実行してステップSP5に戻る。さらにシステム制御回路22は、これら1ビットエラー処理等において、装置の故障と判断される場合、ステップSP5

に戻ることなく、記録の処理を中止し、誤ったデータの記録を防止する。

【0037】なおここで1ビットエラーとは、チェックビットにより検出されるビット誤りのうち、誤り訂正に成功したビット誤りを意味し、2ビットエラーとは、同様にチェックビットにより検出されるビット誤りのうち、誤り訂正困難なビット誤りを意味する。さらにパリティエラーとは、EDAC24A、24B又はテープコントローラ27において、データD1、D2に付加されたパリティ符号により検出されるエラーを意味する。これによりシステム制御回路22は、発生したエラーの種類に応じて対応する処理手順を実行し、これにより実用上充分な範囲で、バッファメモリ21A、21B及び周辺回路の信頼性を向上する。

【0038】図10は、1ビットエラー処理ルーチンを示すフローチャートである。システム制御回路22は、この1ビットエラー処理において、ステップSP20からステップSP21に移り、タイミング制御回路25より通知されたエラー情報EE1に基づいて、エラーの発生したデータに対応する領域より改めて対応するデータD1を読み出す。続いてシステム制御回路22は、ステップSP22に移り、この読み出したデータD1について、再び1ビットエラーが発生したか否か判断する。ここで正しく読み出すことができた場合、システム制御回路22は、ステップSP22からステップSP23に移り、エラーモードをセットする。

【0039】ここでこの種のデータ処理装置において発生するデータのエラーは、大きくハードエラーとソフトエラーとに分類することができる。ここでハードエラーとは、一般に回路やデバイス（IC等）の故障によって発生する恒久的なデータの破壊を意味する。メモリにおけるハードエラーは、データのあるビット（0か1）を記憶する単位（メモリセル）等が故障し、該当するメモリセルに割り当てられたビットが常時0または1に保持される状態であり、特定の1ビットに異常が発生する場合、特定のアドレス空間全体に異常が発生する場合がある。

【0040】これに対して偶発的にデータが破壊され、ビット誤りが再現できない場合をソフトエラーと呼ぶ。メモリのソフトエラーには、メモリIC内のメモリセルからデータを読み出した後にデータが変化するものと、メモリセル内のデータそのものが変化してしまうものとがあり、前者は、メモリの周辺回路におけるソフトエラーにより発生し、後者は、その後何度も同じアドレスを読み出しても、正しいデータを読み出すことが困難になる。しかしながらメモリのソフトエラーは、メモリ自身（ハードウェア）が壊れたわけではないので、もう一度正しいデータを書き込めば、正しいデータを読み出すことができる。

【0041】これによりこの実施の形態では、これらエ

ラーの発生原因に対応して図11に示すようにエラーモードを規定する。すなわちバッファメモリ21A、21B以外の周辺回路において、ノイズ等によりデータの論理値が変化したと考えられる場合は、エラーモードをE1とする。またバッファメモリ21A、21B以外の周辺回路の故障と判断される場合、エラーモードをE2とし、バッファメモリ21A、21Bからのデータ出力の際に、何らかの原因でデータの論理値が変化したと考えられる場合、エラーモードをE3とする。

【0042】さらにバッファメモリ21A、21B内のデータそのものが変化している場合、エラーモードをE4とし、バッファメモリ21A、21Bの故障、バッファメモリ21A、21Bが故障しかかっていると考えられる場合、それぞれエラーモードをE5及びE6とする。

【0043】これによりシステム制御回路22は、始めに検出されたエラー情報EE1による誤り検出結果と、このエラー情報EE1に基づいて再度のデータ読み出しにより検出される誤り検出結果とにより、1ビット誤りの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。すなわちステップSP22において否定結果が得られる場合、システム制御回路22は、当初の1ビット誤りは、バッファメモリ21A、21B以外の周辺回路において、ノイズ等によりデータの論理値が変化した場合、又はバッファメモリ21A、21Bからの出力の際に、何らかの原因でデータの論理値が変化した場合と考えられることにより、エラーモードを対応するE1及びE3にセットする。

【0044】これによりシステム制御回路22は、続くステップSP24において、このビットエラーの発生した時刻、エラーの種類、エラーモード、バッファメモリ21A、21Bの対応するアドレスADA、ADBを履歴メモリ23に記録した後、ステップSP25に移ってメインルーチンに戻る。すなわちこの場合、ビットエラーの発生したデータD1においては、チェックビットにより正しく誤り訂正処理されて磁気テープMに記録されていることにより、またこのビットエラーが偶発的に発生したと考えられることにより、システム制御回路22は、バッファメモリ21A及び21Bに格納されている、又はインターフェース2を介して入力される続くデータD1の記録に障害を来たすことのないように、この1ビットエラー処理を終了する。

【0045】これに対して再度の読み出しで再び1ビット誤りが検出された場合、システム制御回路22は、ステップSP22よりステップSP26に移る。ここでシステム制御回路22は、この再度の読み出しにおいて、EDAC24A及び24Bで誤り訂正処理した正しいデータD1を、同一のアドレス空間に格納した後、再び読み出す。続いてシステム制御回路22は、ステップSP27に移り、この読み出したデータについて、再び1ビ

ット誤りが発生したか否か判断する。

【0046】ここで1ビットエラーが発生しない場合、バッファメモリ21A、21Bへのデータ格納時に、ノイズ等の何らかの原因によりデータD1そのものが変化し、この場合は偶発的なビットエラーと考えられることにより、システム制御回路22は、ステップSP28に移り、エラーモードを対応するE4にセットする。さらにシステム制御回路22は、ステップSP24に移り、エラー発生時刻、エラーモード等を履歴メモリ23に記録してステップSP25に移る。かくするにつきシステム制御回路22は、この場合もビットエラーの発生したデータD1においては、チェックビットにより正しく誤り訂正処理されて磁気テープMに記録されていることにより、またこのビットエラーが偶発的に発生したと考えられることにより、バッファメモリ21A及び21Bに格納されている、又はインターフェース2を介して入力される続くデータD1の記録に支障を来すことのないように、メインルーチンに戻る。

【0047】これに対して再び1ビットエラーが発生した場合、システム制御回路22は、ステップSP27よりステップSP29に移る。この場合、この1ビットエラーは、バッファメモリ21A、21Bの対応するアドレス空間の故障と考えられることにより、システム制御回路22は、エラーモードを対応するエラーモードE5にセットした後、ステップSP24に移る。これによりシステム制御回路22は、この場合もビットエラーの発生したデータD1においては、チェックビットにより正しく誤り訂正処理されて磁気テープMに記録されていることにより、また続く記録の処理においても誤り訂正して正しいデータを磁気テープMに記録できることにより、バッファメモリ21A及び21Bに格納されている、又はインターフェース2を介して入力される続くデータD1の記録に支障を来すことのないように、メインルーチンに戻る。

【0048】これに対して図12は、2ビットエラー処理の処理ルーチンを示すフローチャートである。システム制御回路22は、この2ビットエラー処理において、ステップSP30からステップSP31に移り、この場合磁気テープMに誤ったデータD2が記録されたことにより、磁気テープMを巻き戻しして頭出しした後、磁気テープMの走行を開始し、磁気テープMの対応する領域に改めてデータD1を記録する。このときシステム制御回路22は、バッファメモリ21A及び21Bより対応する1IDのデータD1を読み出して磁気テープに記録する。

【0049】このようにしてデータD1の記録をリトライすると、システム制御回路22は、ステップSP32に移り、再び2ビットエラーが発生したか否か判断する。これによりシステム制御回路22は、始めに検出されたエラー情報による誤り検出結果と、このエラー情報

に基づくりトライの誤り検出結果とにより、2ビット誤りの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0050】すなわちシステム制御回路22は、ステップSP31において正しくデータD1を読み出すことができた場合、ステップSP32からステップSP33に移る。この場合、ノイズ等の影響により偶発的に2ビットエラーが発生したと考えられることにより、システム制御回路22は、ステップSP33において、エラーモードをE1、E3にセットする。さらにこの場合データ記録のリトライにより磁気テープMに正しいデータが記録されたことにより、ステップSP34に移り、履歴メモリ23にエラー発生時刻等を記録する。さらにシステム制御回路22はステップSP35に移ってメインルーチンに戻る。

【0051】これによりシステム制御回路22は、再送要求による外部機器の処理を妨げることなく、この処理手順を終了する。

【0052】これに対してデータ記録のリトライで再び2ビット誤りが検出された場合、システム制御回路22は、ステップSP32よりステップSP36に移る。ここでシステム制御回路22は、外部機器にデータ再送要求を発行すると共に、磁気テープMを巻き戻しして走行を開始し、これにより外部機器から再送されたデータD1を用いて、磁気テープMの対応する領域にデータ記録をリトライする。

【0053】統いてシステム制御回路22は、ステップSP37に移り、この再生されたデータについて、再び2ビット誤りが発生したか否か判断する。これによりシステム制御回路22は、始めに検出されたエラー情報と、エラー情報に基づいて実行するステップSP31及びSP36のリトライで検出される誤り検出結果とにより、2ビット誤りの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0054】すなわちシステム制御回路22は、ここで2ビットエラーが発生しない場合、バッファメモリ21A、21Bへのデータ格納時に、ノイズ等によりデータD1そのものが変化した、偶発的なビットエラーと考えられることにより、ステップSP38に移り、エラーモードを対応するE4にセットする。さらにシステム制御回路22は、統いてステップSP34に移り、エラー発生時刻、エラーモード等を履歴メモリ23に記録した後、ステップSP35に移ってメインルーチンに戻る。

【0055】かくするにつきこの実施の形態では、最も発生頻度の高い1ビット誤りに対応するようにチェックビット数を設定して、1ビット誤りについては外部機器に対して再送要求を発行しなくても、内部処理により正しいデータを記録し、2ビット以上のビットエラーについては、必要に応じて外部機器に対して再送要求を発行

して正しいデータを記録するようになされている。すなわち1ビットエラーにおいては、データ処理装置20が正しく動作している場合、上述したように数年で1回程度しか発生せず、2ビットエラーにおいては、この1ビットエラーに比してさらに一段と発生確立が低下する。これによりデータ処理装置20では、チェックビットの附加によるバッファメモリ21A、21Bの容量の増大を有効に回避して、実用上充分な信頼性を確保するようになされている。

【0056】これに対して再び2ビットエラーが発生した場合、システム制御回路22は、ステップSP37よりステップSP39に移る。ここでシステム制御回路22は、同一アドレスにおいて2ビットエラーが発生したか否か判断し、肯定結果が得られると、この場合バッファメモリ21A、21Bの対応するアドレス空間の故障と考えられることにより、ステップSP39に移り、エラーモードを対応するエラーモードE5にセットする。

【0057】さらにこの場合、他のメモリ空間を使用すれば磁気テープMに正しいデータを記録することができるものの、同一のメモリ空間を使用しては磁気テープMに正しいデータを記録することが困難なことにより、ステップSP41に移り、信頼性を優先して、全体の動作を停止制御する。このときシステム制御回路22は、インターフェース制御回路3を介してホストコンピュータである外部機器にエラーメッセージを発行し、データを正しく記録できなかった旨、システム異常により動作を停止する旨ユーザーに通知する。またシステム制御回路22は、履歴メモリ23に記録を残し、ステップSP42に移ってメインルーチンに戻ることなく処理手順を終了する。

【0058】これに対して異なるアドレスにおいて2ビット誤りが発生した場合、システム制御回路22は、ステップSP39よりステップSP43に移る。この場合バッファメモリ21A、21Bが故障しかけていると考えられることにより、システム制御回路22は、エラーモードを対応するエラーモードE6にセットする。さらにこの場合は、データを再送してデータ記録をリトライしても、正しくデータを記録できないと考えられることにより、ステップSP41に移って全体の動作を停止制御すると共に、ユーザーに警告を通知する。またこの場合も同様にして履歴メモリ23に記録を残し、ステップSP42に移ってメインルーチンに戻ることなく処理手順を終了する。なおホストコンピュータからデータD1の再送がない場合、システム制御回路22は、その旨メッセージを発行した後、ステップSP36よりステップSP42に移って全体の動作を停止する。

【0059】図13は、パリティエラー処理の処理ルーチンを示すフローチャートである。システム制御回路22は、このパリティエラー処理において、ステップSP45からステップSP46に移り、この場合磁気テー

プMに誤ったデータD1が記録されたことにより、磁気テープMを巻き戻しして頭出しした後、磁気テープMの走行を開始し、磁気テープMの対応する領域に改めてデータD1を記録する。このときシステム制御回路22は、バッファメモリ21A及び21Bより対応する1IDのデータD1を読み出して磁気テープに記録する。

【0060】このようにしてデータD1の記録をリトライすると、システム制御回路22は、ステップSP47に移り、再びパリティエラーが発生したか否か判断する。これによりシステム制御回路22は、始めに検出された誤り検出結果と、リトライの誤り検出結果により、パリティエラーの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0061】すなわちシステム制御回路22は、ステップSP46において正しくデータを読み出すことができた場合、ステップSP47からステップSP48に移る。ここでこの場合、ノイズ等により偶発的にパリティエラーが発生したと考えられることにより、システム制御回路22は、ステップSP48において、エラーモードをE1にセットする。さらにこの場合データ記録のリトライにより磁気テープMに正しいデータを記録できしたことにより、ステップSP49に移る。ここでシステム制御回路22は、履歴メモリ23にエラー発生時刻等を記録し、ステップSP50に移ってメインルーチンに戻る。

【0062】これによりシステム制御回路22は、外部機器に再送要求を発行して外部機器の処理を妨げることなく、この処理手順を終了する。

【0063】これに対してデータ記録のリトライで再びパリティエラーが検出された場合、システム制御回路22は、ステップSP47よりステップSP51に移る。ここでシステム制御回路22は、EDAC24A、24Bからテープコントローラ27に至までの異常が再現されることにより、エラーモードをE2にセットする。さらにシステム制御回路22は、この場合リライトを繰り返しても正しいデータを記録することが困難なことにより、ステップSP52に移り、全体の動作を停止制御する。このときシステム制御回路22は、インターフェース制御回路3を介してユーザーに通知する。またシステム制御回路22は、履歴メモリ23に記録を残し、ステップSP53に移ってemainルーチンに戻ることなく処理手順を終了する。

【0064】図14は、フレーミングエラー処理の処理ルーチンを示すフローチャートである。システム制御回路22は、このフレーミングエラー処理において、ステップSP55からステップSP56に移り、この場合磁気テープMに誤ったデータD1が記録されたことにより、磁気テープMを巻き戻しして頭出しした後、磁気テープMの走行を開始し、磁気テープMの対応する領域に改めてデータD1を記録する。このときシステム制御回

路22は、バッファメモリ21A及び21Bより対応する1IDのデータD1を読み出して磁気テープに記録する。

【0065】 続いてシステム制御回路22は、ステップSP57に移り、再びフレーミングエラーが発生したか否か判断する。これによりシステム制御回路22は、始めに検出された誤り検出結果と、このリトライで検出される誤り検出結果とにより、フレーミングエラーの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0066】 すなわちシステム制御回路22は、ステップSP56において正しくデータを読み出すことができた場合、ステップSP57からステップSP58に移る。この場合、ノイズ等により偶発的にフレーミングエラーが発生したと考えられることにより、システム制御回路22は、ステップSP58において、エラーモードをE1にセットする。さらにこの場合データ記録のリトライにより磁気テープMに正しいデータを記録できたことにより、ステップSP59に移り、履歴メモリにエラー発生時刻等を記録した後、ステップSP60に移ってメインルーチンに戻る。

【0067】 これに対してデータ記録のリトライで再びフレーミングエラーが検出された場合、システム制御回路22は、ステップSP57よりステップSP61に移る。ここでシステム制御回路22は、外部機器にデータ再送要求を発行すると共に、磁気テープMを巻き戻して走行を開始し、これにより外部機器から再送されたデータD1を用いて、磁気テープMの対応する領域にデータ記録をリトライする。

【0068】 続いてシステム制御回路22は、ステップSP62に移り、この再送されたデータについて、再びフレーミングエラーが発生したか否か判断する。これによりシステム制御回路22は、始めに検出されたエラー情報と、ステップSP56及びSP61で検出される誤り検出結果とにより、フレーミングエラーの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0069】 すなわちシステム制御回路22は、フレーミングエラーが発生しない場合、バッファメモリ21A、21Bへのデータ格納時に、ノイズ等によりデータD1が変化した、偶発的なエラーと考えられることにより、ステップSP63に移り、エラーモードを対応するE4にセットする。さらにシステム制御回路22は、続いてステップSP59に移り、エラー発生時刻、エラーモード等を履歴メモリ23に記録し、ステップSP60に移ってメインルーチンに戻る。

【0070】 これに対して再びフレーミングエラーが発生した場合、システム制御回路22は、ステップSP62よりステップSP64に移る。ここでシステム制御回路22は、同一の異常が再現されることにより、エラー

モードをE2にセットする。続いてシステム制御回路22は、ステップSP65に移り、全体の動作を停止制御すると共に、インターフェース制御回路3を介してユーザーに通知する。また履歴メモリ23に記録を残した後、ステップSP66に移り、メインルーチンに戻ることなく処理手順を終了する。

【0071】 これらの処理によりシステム制御回路22は、極めて高い信頼性により、外部機器から入力されるデータD1を磁気テープMに記録する。なおシステム制御回路22は、1ビットエラー処理、2ビットエラー処理、パリティエラー処理及びフレーミングエラー処理において、それぞれ異なるエラーが別途検出された場合、発生したエラーの内容に応じて、これら別途検出されたエラーに対応するエラー処理を優先して実行し、また実行中のエラー処理と同時並列的に別途検出されたエラーに対応するエラー処理を実行するようになされている。

【0072】 図15は、データ再生時におけるシステム制御回路22のメイン処理ルーチンを示すフローチャートである。システム制御回路22は、外部機器より読み出しの制御コマンドが入力されると全体の動作を再生の動作モードに切り換え、磁気テープMの再生に同期したタイミングで順次信号処理回路10より出力されるデータD2をバッファメモリ21A及び21Bに格納する。この状態でシステム制御回路22は、外部機器よりデータ送出の了解が得られると、ステップSP71からステップSP72に移り、バッファメモリ21A及び21Bの先頭アドレスをセットした後、ステップSP73に移り、バッファメモリ21A及び21Bより1ID分のデータD2を外部機器に送出する。

【0073】 このときシステム制御回路22は、続くステップSP74において、エラー情報EE1、EE2に基づいてエラーが発生したか否か判断し、ここで否定結果が得られると、ステップSP75に移る。ここでシステム制御回路22は、続くデータD2の有無を判断し、続くデータD2がバッファメモリ21A及び21Bに保持されている場合、ステップSP72に移り、続く1ID分のデータD2について同様の処理を繰り返す。これに対して続くデータD2がバッファメモリ21A及び21Bに保持されていない場合、ステップSP75よりステップSP76に移ってこの処理手順を終了する。これによりシステム制御回路22は、エラーを監視しながら、1ID単位でデータD2を外部機器に出力する。

【0074】 この一連の処理において、エラーが発生すると、システム制御回路22は、1ID分のデータD2を出力した後、ステップSP77に移り、エラーの種類を判別する。ここで発生したエラーがEDAC24A及び24Bにより検出される1ビットエラーの場合、システム制御回路22は、ステップSP78に移り、後述する1ビットエラー処理を実行してステップSP75に戻る。これに対して発生したエラーがテーブコントローラ

27により検出されるフレーミングエラーの場合、ステップSP79に移り、後述するフレーミングエラー処理を実行してステップSP75に戻る。

【0075】さらに発生したエラーがEDAC24A及び24Bにより検出される2ビットエラーの場合、システム制御回路22は、ステップSP80に移り、後述する2ビットエラー処理を実行してステップSP75に戻る。さらに発生したエラーがEDAC24A及び24Bにより検出されるパリティエラーの場合、システム制御回路22は、ステップSP81に移り、後述するパリティエラー処理を実行してステップSP75に戻る。なおシステム制御回路22は、これら1ビットエラー処理等において、装置の故障と判断される場合、ステップSP75に戻ることなく、再生の処理を中止し、誤ったデータの出力を防止する。

【0076】図16は、再生時における1ビットエラー処理ルーチンを示すフローチャートである。システム制御回路22は、この1ビットエラー処理において、ステップSP85からステップSP86に移り、タイミング制御回路25より通知されたエラー情報EE3に基づいて、エラーの発生したデータに対応する領域より改めて対応するデータD2を読み出す。続いてシステム制御回路22は、ステップSP87に移り、この読み出したデータD2について、再び1ビットエラーが発生したか否か判断する。ここで正しく読み出すことができた場合、システム制御回路22は、ステップSP87からステップSP88に移り、エラーモードをE1、E2にセットする。

【0077】これによりシステム制御回路22は、再生時においても、2つの誤り検出結果により、1ビット誤りの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。すなわちステップSP87において否定結果が得られた場合、システム制御回路22は、当時の1ビット誤りは、バッファメモリ21A、21B以外の周辺回路において、ノイズ等によりデータの論理値が変化した場合、又はバッファメモリ21A、21Bからの出力の際に、何らかの原因でデータの論理値が変化した場合と考えられることにより、エラーモードを対応するE1及びE3にセットする。

【0078】これによりシステム制御回路22は、続くステップSP89において、このビットエラーを関連する情報をと共に履歴メモリ23に記録した後、ステップSP90に移ってメインルーチンに戻る。すなわちこの場合、ビットエラーの発生したデータD1においては、チェックビットにより正しく誤り訂正処理されて外部機器に出力されていることにより、またこのビットエラーが偶発的に発生したと考えられることにより、システム制御回路22は、続くデータD2の出力に支障を来たすことのないように、この1ビットエラー処理を終了する。

【0079】これに対して再度の読み出しで再び1ビット誤りが検出された場合、システム制御回路22は、ステップSP87よりステップSP91に移る。ここでシステム制御回路22は、この再度の読み出しにおいて、EDAC24A及び24Bで誤り訂正処理した正しいデータD1を、同一のアドレス空間に格納した後、再び読み出す。続いてシステム制御回路22は、ステップSP92に移り、この読み出したデータについて、再び1ビット誤り発生したか否か判断する。

【0080】ここで1ビットエラーが発生しない場合、バッファメモリ21A、21Bへのデータ格納時に、ノイズ等によりデータD2そのものが変化した偶発的なビットエラーと考えられ、ビットエラーの発生したデータD2においては、チェックビットにより正しく誤り訂正処理されて外部機器に記録されていることにより、システム制御回路22は、ステップSP93に移り、エラーモードをE4にセットした後、ステップSP94に移り、履歴メモリ23に記録を残してステップSP90に移る。

【0081】これに対して再び1ビットエラーが発生した場合、システム制御回路22は、ステップSP92よりステップSP94に移る。この場合、この1ビットエラーは、バッファメモリ21A、21Bの対応するメモリ空間の故障と考えられることにより、システム制御回路22は、エラーモードを対応するエラーモードE5にセットした後、ステップSP89に移る。これによりシステム制御回路22は、この場合もビットエラーの発生したデータD1においては、チェックビットにより正しく誤り訂正処理されて外部機器に出力されていることにより、また続く記録の処理においても誤り訂正して正しいデータを出力できることにより、続くデータD2の出力に支障を来たすことのないように、メインルーチンに戻る。

【0082】これに対して図17は、2ビットエラー処理の処理ルーチンを示すフローチャートである。システム制御回路22は、この2ビットエラー処理において、ステップSP100からステップSP101に移り、この場合外部機器に誤ったデータD2が出力されたことにより、外部機器にデータD2の再送を宣言する。さらにシステム制御回路22は、バッファメモリ21A及び21Bより同一IDのデータD2を読み出して外部機器に出力し、これによりバッファメモリ21A及び21Bからのデータ出力をリトライする。

【0083】続いてシステム制御回路22は、ステップSP102に移り、再び2ビットエラーが発生したか否か判断し、これによりシステム制御回路22は、連続する誤り検出結果により、2ビット誤りの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。

【0084】すなわちシステム制御回路22は、ステッ

【S P 1 0 1】において正しくデータ出力することができた場合、ステップS P 1 0 2からステップS P 1 0 3に移る。この場合、ノイズ等により偶発的に2ビットエラーが発生したと考えられることにより、システム制御回路2 2は、ステップS P 1 0 3において、エラーモードをE 1、E 3にセットする。さらにこの場合データ出力のリトライにより外部機器に正しいデータを出力できることにより、ステップS P 1 0 4に移り、履歴メモリ2 3に記録を残した後、ステップS P 1 0 5に移ってメインルーチンに戻る。

【0085】これによりシステム制御回路2 2は、磁気テープ走行系を駆動することのない、バッファメモリ2 1 A及び2 1 Bからのデータ出力のリトライにより、2ビットエラーを修復してこの処理手順を終了する。

【0086】これに対してデータ出力のリトライで再び2ビット誤りが検出された場合、システム制御回路2 2は、ステップS P 1 0 2よりステップS P 1 0 6に移る。ここでシステム制御回路2 2は、外部機器に再びデータ再送を宣言すると共に、磁気テープMを巻き戻して対応する1 I D分のデータ再生をリトライする。

【0087】続いてシステム制御回路2 2は、ステップS P 1 0 7に移り、このリトライしたデータについて、再び2ビット誤りが発生したか否か判断する。ここで2ビットエラーが発生しない場合、ノイズ等によりデータD 2そのものが変化した偶発的なビットエラーと考えられることにより、ステップS P 1 0 8に移り、エラーモードを対応するE 4にセットする。さらにシステム制御回路2 2は、続いてステップS P 1 0 4に移り、履歴メモリ2 3に記録を残した後、ステップS P 1 0 5に移ってメインルーチンに戻る。

【0088】これに対して再び2ビットエラーが発生した場合、システム制御回路2 2は、ステップS P 1 0 7よりステップS P 1 0 9に移る。ここでシステム制御回路2 2は、同一アドレスにおいて2ビットエラーが発生したか否か判断し、肯定結果が得られると、この場合バッファメモリ2 1 A、2 1 Bの対応するアドレス空間の故障と考えられることにより、ステップS P 1 1 0に移り、エラーモードを対応するエラーモードE 5にセットする。

【0089】続いてシステム制御回路2 2は、ステップS P 1 1 1に移り、信頼性を優先して、全体の動作を停止制御する。このときシステム制御回路2 2は、インターフェース制御回路3を介してホストコンピュータである外部機器にエラーメッセージを発行し、データを正しく出力することが困難な旨、またシステム異常により動作を停止する旨ユーザーに通知する。また履歴メモリ2 3に記録を残した後、ステップS P 1 1 2に移り、メインルーチンに戻すことなく処理手順を終了する。

【0090】これに対して異なるアドレスにおいて2ビット誤りが発生した場合、システム制御回路2 2は、ス

テップS P 1 0 9よりステップS P 1 1 3に移る。この場合バッファメモリ2 1 A、2 1 Bが故障しかけていると考えられることにより、システム制御回路2 2は、エラーモードを対応するエラーモードE 6にセットする。さらにこの場合は、正しくデータを出力できないと考えられることにより、ステップS P 1 1 1に移って全体の動作を停止制御すると共に、ユーザーに警告を通知する。また履歴メモリ2 3に記録を残した後、ステップS P 1 1 2に移り、メインルーチンに戻すことなく処理手順を終了する。なおホストコンピュータからデータ再送の許可が得られない場合、システム制御回路2 2は、その旨メッセージを発行した後、ステップS P 1 0 1よりステップS P 1 1 2に移って全体の動作を停止する。

【0091】図18は、再生時におけるパリティエラー処理の処理ルーチンを示すフローチャートである。システム制御回路2 2は、このパリティエラー処理において、ステップS P 1 1 5からステップS P 1 1 6に移り、この場合外部機器に誤ったデータD 2が出力されたことにより、外部機器に対してデータ再送を宣言する。さらにシステム制御回路2 2は、磁気テープMを巻き戻し、同一I Dを再生することにより、データ再生をリトライする。

【0092】このようにしてデータD 2の再生をリトライすると、システム制御回路2 2は、ステップS P 1 1 7に移り、再びパリティエラーが発生したか否か判断し、これにより連続する誤り検出結果により、パリティエラーの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。すなわちシステム制御回路2 2は、ステップS P 1 1 6において正しくデータを出力することができた場合、ステップS P 1 1 7からステップS P 1 1 8に移る。ここでこの場合、ノイズ等により偶発的にパリティエラーが発生したと考えられることにより、システム制御回路2 2は、ステップS P 1 1 8において、エラーモードをE 1にセットする。さらにこの場合データ再生のリトライにより外部機器に正しいデータを出力できたことにより、ステップS P 1 1 9に移り、履歴メモリ2 3に記録を残した後、ステップS P 1 2 0に移ってメインルーチンに戻る。

【0093】これに対してデータ再生のリトライで再びパリティエラーが検出された場合、システム制御回路2 2は、ステップS P 1 1 7よりステップS P 1 2 1に移る。ここでシステム制御回路2 2は、テープコントローラ2 7からEDAC 2 4 A、2 4 Bに至るまでの間で異常が再現されることにより、エラーモードをE 2にセットする。さらにシステム制御回路2 2は、この場合リライトを繰り返しても正しいデータを出力することが困難なことにより、ステップS P 1 2 2に移り、全体の動作を停止制御する。このときシステム制御回路2 2は、インターフェース制御回路3を介してユーザーに通知する。また履歴メモリ2 3に記録を残した後、ステップS

P123に移り、メインルーチンに戻ることなく処理手順を終了する。なおこの場合も、ホストコンピュータからデータ再送の許可が得られない場合、システム制御回路22は、その旨メッセージを発行した後、ステップSP116よりステップSP123に移って全体の動作を停止する。

【0094】図19は、再生時におけるフレーミングエラー処理の処理ルーチンを示すフローチャートである。システム制御回路22は、このフレーミングエラー処理において、ステップSP125からステップSP126に移り、外部機器に誤ったデータD2が出力されたことにより、外部機器にデータ再送を宣言する。さらにシステム制御回路22は、磁気テープMを巻き戻して同一IDのデータD2を再生することにより、データ再生をリトライする。

【0095】続いてシステム制御回路22は、ステップSP127に移り、再びフレーミングエラーが発生したか否か判断する。これによりシステム制御回路22は、再生時、フレーミングエラーについても、エラーの原因を自己診断し、この自己診断結果に基づいて全体の動作を切り換える。すなわちシステム制御回路22は、ステップSP126において正しくデータD2を出力することができた場合、ステップSP127からステップSP128に移る。この場合、ノイズ等により偶発的にフレーミングエラーが発生したと考えられることにより、システム制御回路22は、ステップSP128において、エラーモードをE1にセットする。さらにこの場合データ再生のリトライで外部機器に正しいデータを出力できたことにより、ステップSP129に移り、履歴メモリに記録を残した後、ステップSP130に移ってメインルーチンに戻る。

【0096】これに対してデータ再生のリトライで再びフレーミングエラーが検出された場合、システム制御回路22は、ステップSP127よりステップSP131に移る。ここでシステム制御回路22は、同一の異常が再現されることにより、エラーモードをE2にセットする。続いてシステム制御回路22は、ステップSP132に移り、全体の動作を停止制御すると共に、インターフェース制御回路3を介してユーザーに通知する。また履歴メモリ23に記録を残し、ステップSP133に移り、メインルーチンに戻ることなく処理手順を終了する。なおこの場合もホストコンピュータからデータ再送の許可が得られない場合、システム制御回路22は、その旨メッセージを発行した後、ステップSP126よりステップSP133に移って全体の動作を停止する。

【0097】これらの処理によりシステム制御回路22は、極めて高い信頼性により、磁気テープMに記録したデータD2を再生して外部機器に出力する。なおシステム制御回路22は、再生時、1ビットエラー処理、2ビットエラー処理、パリティエラー処理及びフレーミング

エラー処理において、それぞれ異なるエラーが別途検出された場合、発生したエラーの内容に応じて、これら別途検出されたエラーに対応するエラー処理を優先して実行し、また実行中のエラー処理と同時並列的に別途検出されたエラーに対応するエラー処理を実行するようになされている。

【0098】図20は、このように履歴メモリ23に格納したエラーの履歴を処理するシステム制御回路22の処理手順を示すフローチャートである。システム制御回路22は、定期的に（例えば1分間に1回）この処理手順を実行する。すなわちシステム制御回路22は、ステップSP140からステップSP141に移り、履歴メモリ23の内容を検索する。

【0099】続いてシステム制御回路22は、ステップSP142に移り、エラーの発生頻度が予め設定した規定値を越えるか否か判断する。ここでシステム制御回路22は、例えばエラーが1日に1回以上発生している場合、発生頻度が規定値を越えて故障等の重大な障害が発生しつつあると判断し、ステップSP143に移る。

【0100】ここでシステム制御回路22は、インターフェース制御回路3を介して外部機器に警告を発する。このときシステム制御回路22は、履歴メモリ23に格納されたエラーモード、エラー内容に従って、異常箇所を推定し、この異常箇所を併せて通知する。すなわちバッファメモリ21A、21Bの特定番地について、1ビットエラー、2ビットエラーが頻繁に発生する場合は、バッファメモリ21A、21Bの異常と推定することができる。また規則的に飛び飛びのアドレスでエラーする場合は、メモリ制御回路6におけるアドレス制御の異常が考えられる。これによりシステム制御回路22は、メンテナンス作業を迅速かつ適切に実行できるようになる。

【0101】このようにして警告を出力すると、システム制御回路22は、ステップSP143からステップSP144に移り、この処理手順を終了する。またエラーの発生頻度が規定値以下の場合、システム制御回路22は、ステップSP142からステップSP144に移ってこの処理手順を終了する。

【0102】以上の構成において、外部機器でなるホストコンピュータより書き込みの制御コマンドが入力されると（図2）、データ処理装置20においては、システム制御回路22により全体の動作が制御されて、磁気テープを巻き戻しして頭出しした後、助走を開始し、これにより以前に形成された記録トラックに続いて記録トラックが形成される。

【0103】このとき制御コマンドに続いて入力されるデータD1は、インターフェース2において、1ID単位で論理フォーマットに必要な所定のデータ「0F0F 0F0F」が付加された後、バッファメモリ21に入力される。このときデータD1は（図3）、EDAC24

A及び24Bにおいて、誤り訂正用のチェックビットが付加された後、バッファメモリ21A及び21Bに交互に記録される。さらにバッファメモリ21A及び21Bに格納されたデータD1は、磁気テープMの走行に対応したタイミングで読み出された後、EDAC24A及び24Bにおいて、チェックビットにより誤り訂正処理される。さらにこのデータD1は、誤り訂正処理結果がエラーフラグF1としてタイミング制御回路25に出力され、このタイミング制御回路25を介してシステム制御回路22に通知される。

【0104】このようにして誤り訂正処理を受けたデータD1は、EDAC24A及び24Bにおいて、誤り検出用のパリティ符号が付加された後、バッファ9を介してテープコントローラ27に出力され、このテープコントローラ27を形成する信号処理回路10において、誤り訂正符号が付加され、クロスインターリーブ処理、符号化処理等のデータ処理を受ける。さらにこのデータD1は、続くRF回路において、磁気テープMの記録に適した変調信号に変換され、この変調信号により回転ヘッド13が駆動されて順次磁気テープMに記録される。このときこのデータD1は、テープコントローラ27において、パリティ符号による誤り検出処理と、フレーミングエラーの検出処理が実行され、この検出結果がエラー情報EE1としてシステム制御回路22に通知される。

【0105】これによりデータD1は、記録時、バッファメモリ21A及び21Bにおける入出力におけるエラー、EDAC24A及び24Bからテープコントローラ27に至るまでのエラー等が監視された状態で順次磁気テープMに記録される（図1）。

【0106】この監視において1ビットのビットエラーが検出されると（図10）、データD1においては、1IDのデータD1が磁気テープMに記録された後、バッファメモリ21A及び21Bより対応するデータを正しく読み出すことができたか否か検出され、さらにこの場合にも1ビットエラーが発生した場合は、正しいデータをバッファメモリ21A及び21Bの対応領域に記録して、正しく読み出すことができたか否か検出される。

【0107】これによりこれら繰り返しの読み出しにより、異常の原因が自己診断され、エラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0108】これに対して2ビットエラーが発生した場合（図12）、磁気テープMを巻き戻して、データの記録をリトライする。このリトライにおいて、始めはバッファメモリ21A及び21Bより1ID分のデータD1を読み出して磁気テープMに記録し直し、このとき正しくデータD1をバッファメモリ21A及び21Bより読み出すことができたか否か検出される。このとき再び2ビットエラーが発生すると、ホストコンピュータに再送要求を発行してデータD1を磁気テープMに記録し直し、このとき正しくデータD1をバッファメモリ21A

及び21Bより読み出すことができたか否か検出される。

【0109】これにより2ビットエラーの場合は、これらデータ記録のリトライにより、異常の原因が自己診断され、正しくデータD1を記録することが困難と判断される場合は、記録の処理が中止され、また自己診断結果がエラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0110】これに対してパリティエラーが発生した場合（図13）、フレーミングエラーが発生した場合（図14）、2ビットエラーの場合と同様にデータ記録のリトライが実行され、各リトライにおけるエラー情報に従って異常の原因が自己診断される。このとき正しくデータD1を記録することが困難と判断される場合は、記録の処理が中止され、また自己診断結果がエラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0111】これに対して磁気テープMに記録されたデータD2は（図2）、回転ヘッド13より得られる再生信号がRF回路12において復調されて再生データが生成され、この再生データが続く信号処理回路10においてデータ処理されて復号される。

【0112】このデータD2は（図3）、テープコントローラ27において、フレーミングエラーが検出された後、パリティ符号が付加され、バッファ9を介してEDAC24A及び24Bに出力される。このEDAC24A及び24Bにおいて、データD2は、パリティ符号によりビットエラーが検出された後、パリティ符号に代えてチェックビットが付加されてバッファメモリ21A及び21Bに格納される。

【0113】さらにこのデータD2は、ホストコンピュータに対応するタイミングで読み出された後、EDAC24A及び24Bにおいて、チェックビットにより誤り訂正処理され、バッファ7を介してホストコンピュータに出力される。このときこのデータD2は、EDAC24A及び24Bにおける誤り訂正処理結果及びパリティ符号による誤り検出結果がエラーフラグF1及びF2としてタイミング制御回路25に出力され、このタイミング制御回路25を介してシステム制御回路22に通知される。またフレーミングエラーの検出結果がエラー情報EE1としてシステム制御回路22に通知される。

【0114】これによりデータD2は、バッファメモリ21A及び21Bにおけるエラー、テープコントローラ27からEDAC24A及び24Bに至るまでのエラー等が監視された状態で順次磁気テープMより再生されてホストコンピュータに出力される（図15）。

【0115】この監視において1ビットのビットエラーが検出されると（図16）、データD1においては、1IDのデータD1がホストコンピュータに出力された後、バッファメモリ21A及び21Bより対応するデー

タを正しく読み出すことができたか否か検出され、さらにこの場合にも1ビットエラーが発生した場合は、正しいデータをバッファメモリ21A及び21Bの対応領域に記録して、正しく読み出すことができたか否か検出される。

【0116】これによりこれら繰り返しの読み出しにより、異常の原因が自己診断され、エラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0117】これに対して2ビットエラーが発生した場合(図17)、外部機器に対するデータ出力をリトライする。このリトライにおいて、始めはバッファメモリ21A及び21Bより1ID分のデータD2を読み出してホストコンピュータに出力し直し、このとき正しくデータD2をバッファメモリ21A及び21Bより読み出すことができたか否か検出される。このとき再び2ビットエラーが発生すると、磁気テープMを巻き戻してデータD2をバッファメモリ21A及び21Bに記録し直し、このとき正しくデータD2をバッファメモリ21A及び21Bより読み出すことができたか否か検出される。

【0118】これにより2ビットエラーの場合は、これらデータ出力のリトライにより、異常の原因が自己診断され、正しくデータD2を出力することが困難と判断される場合は、再生の処理が中止され、また自己診断結果がエラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0119】これに対してパリティエラーが発生した場合(図18)、2ビットエラーの場合と同様にデータ出力のリトライが実行され、各リトライにおけるエラー情報に従って異常の原因が自己診断される。またフレーミングエラーが発生した場合(図19)、磁気テープMを巻き戻してデータD2をバッファメモリ21A及び21Bに記録し直し、このとき正しくデータD2をバッファメモリ21A及び21Bより読み出すことができたか否か検出される。さらにこの検出結果より異常の原因が自己診断される。これらの場合に、正しくデータD2を出力することが困難と判断される場合は、データ出力が中止され、また自己診断結果がエラーモードとして、エラー発生時刻等と共に履歴メモリ23に記録される。

【0120】このようにしてデータの記録再生を繰り返す際に(図20)、一定の期間経過すると、システム制御回路22により履歴メモリ23の内容が検査され、ここでエラー発生頻度が規定値を越えていると、ユーザーに警告が発生され、記録再生の処理が中止される。

【0121】以上の構成によれば、バッファメモリ21A及び21Bの出力データを誤り訂正処理し、その誤り訂正処理結果に基づいてデータ記録、データ出力の処理をリトライすることにより、バッファメモリ21A及び21B、周辺回路の信頼性を向上することができる。またこのとき1ビットエラー等においては、バッファメモリからのデータ読み出しを繰り返した後、同様のエラー

が発生した場合に、外部機器、磁気テープよりデータを入力してデータ記録、データ出力の処理をリトライすることにより、周辺機器、周辺回路への影響を低減して、これらリトライの処理を実行することができる。

【0122】またこのようにしてリトライした結果に基づいて、異常の原因を自己診断し、自己診断結果に基づいて、データ記録、データ出力の処理を中止することにより、その分データ処理装置20全体の信頼性を向上することができる。さらにこのようなエラーの履歴を自己診断結果と共に記録して保持することにより、メンテナンス作業を迅速かつ的確に実行でき、これによっても信頼性を向上することができる。

【0123】なお上述の実施の形態においては、バッファメモリからホストコンピュータまでの間については、何らエラー検出しない場合について述べたが、本発明はこれに限らず、テープコントローラ側と同様にエラーを検出してもよい。このようにすれば、さらに信頼性を向上することができる。

【0124】また上述の実施の形態においては、パリティ符号等によりエラーを検出する場合について述べたが、本発明はこれに限らず、所定のブロック単位で(例えば1D単位)CRCコードを付加し、このCRCコードによりエラーを検出してもよい。

【0125】さらに上述の実施の形態においては、磁気テープでなる記録媒体にホストコンピュータのデータを記録再生する場合について述べたが、本発明はこれに限らず、光ディスク、光磁気ディスク等の種々の記録媒体にデータを記録し、又は再生する場合に広く適用することができる。

【0126】

【発明の効果】上述のように本発明によれば、バッファメモリの出力データを誤り訂正処理し、誤り訂正処理結果に基づいて、必要に応じて外部機器、記録再生系に対してデータ記録及びデータ出力の処理等をリトライすることにより、バッファメモリ及び周辺回路の信頼性を向上することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態に係るデータ処理装置の、データ記録時における全体動作の説明に供するフローチャートである。

【図2】図1のデータ処理装置の全体構成を示すブロック図である。

【図3】図1のデータ処理装置のバッファメモリとその周辺回路を示すブロック図である。

【図4】図3のバッファメモリへの、データ記録時におけるデータの書き込みの説明に供するブロック図である。

【図5】図3のバッファメモリへの、データ記録時におけるデータの読み出しの説明に供するブロック図である。

【図6】図3のバッファメモリへの、データ再生時におけるデータの書き込みの説明に供するブロック図である。

【図7】図3のバッファメモリへの、データ再生時におけるデータの読み出しの説明に供するブロック図である。

【図8】図3との対比によりデータ記録時のデータの流れを示すブロック図である。

【図9】図3との対比によりデータ再生時のデータの流れを示すブロック図である。

【図10】図1の1ビットエラー処理を示すフローチャートである。

【図11】エラーモードを示す図表である。

【図12】図1の2ビットエラー処理を示すフローチャートである。

【図13】図1のパリティエラー処理を示すフローチャートである。

【図14】図1のフレーミングエラー処理を示すフローチャートである。

【図15】図1との対比によりデータ再生時における全体動作の説明に供するフローチャートである。

【図16】図15の1ビットエラー処理を示すフローチャートである。

【図17】図15の2ビットエラー処理を示すフローチャートである。

【図18】図15のパリティエラー処理を示すフローチャートである。

【図19】図15のフレーミングエラー処理を示すフローチャートである。

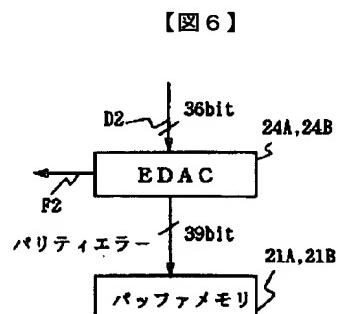
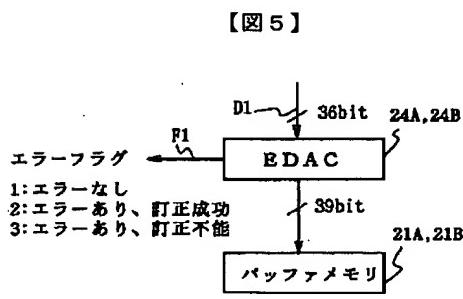
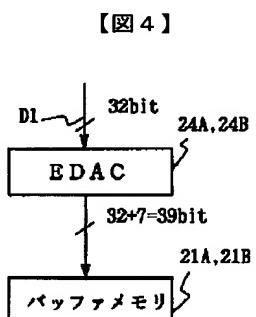
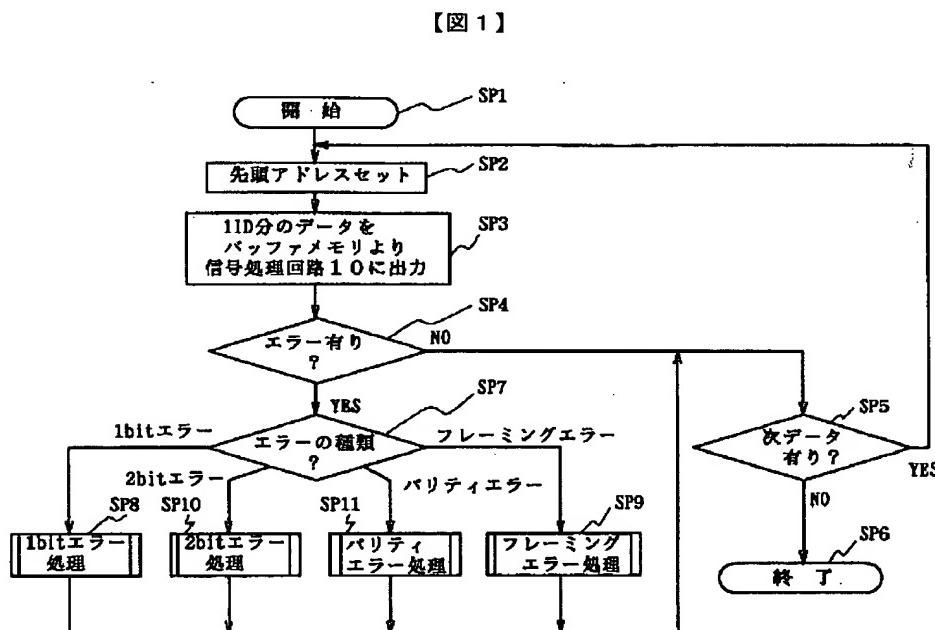
【図20】履歴メモリの説明に供するフローチャートである。

【図21】従来のデータ処理装置の全体構成を示すブロック図である。

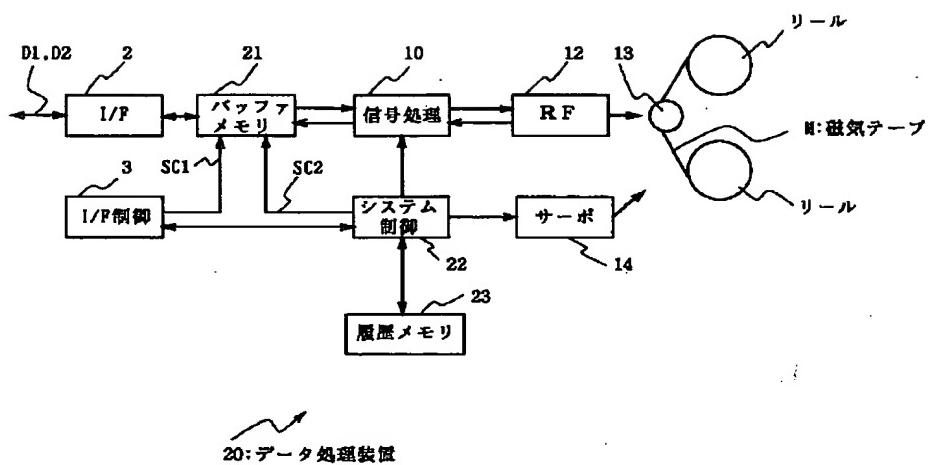
【図22】図21のデータ処理装置のバッファメモリとその周辺回路を示すブロック図である。

#### 【符号の説明】

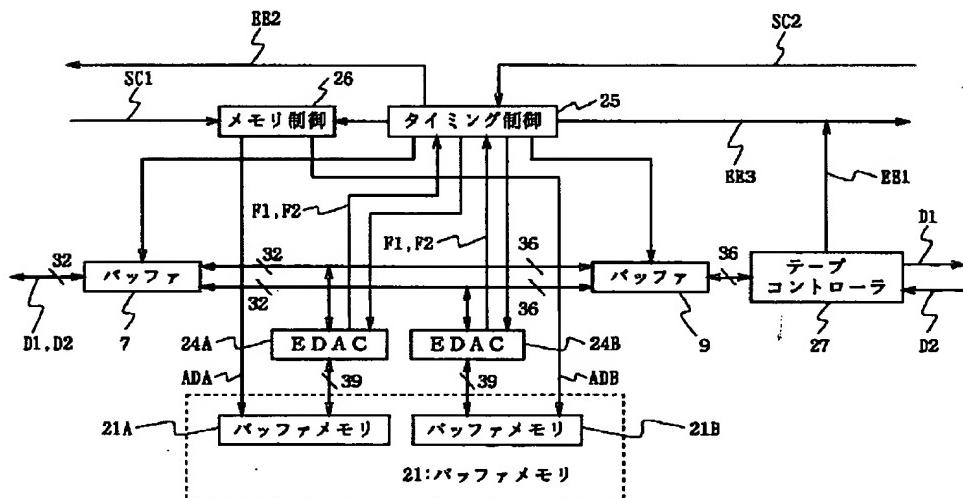
1、20……データ処理装置、2……磁気テープ、5、5A、5B、21、21A、21B……バッファメモリ、4、22……システム制御回路、6、26……メモリ制御回路、23……履歴メモリ、24A、24B……E D A C



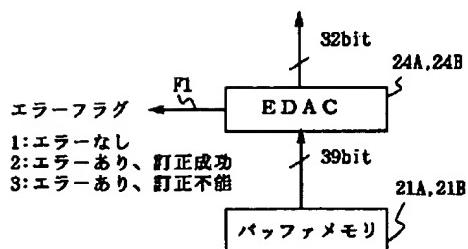
【図2】



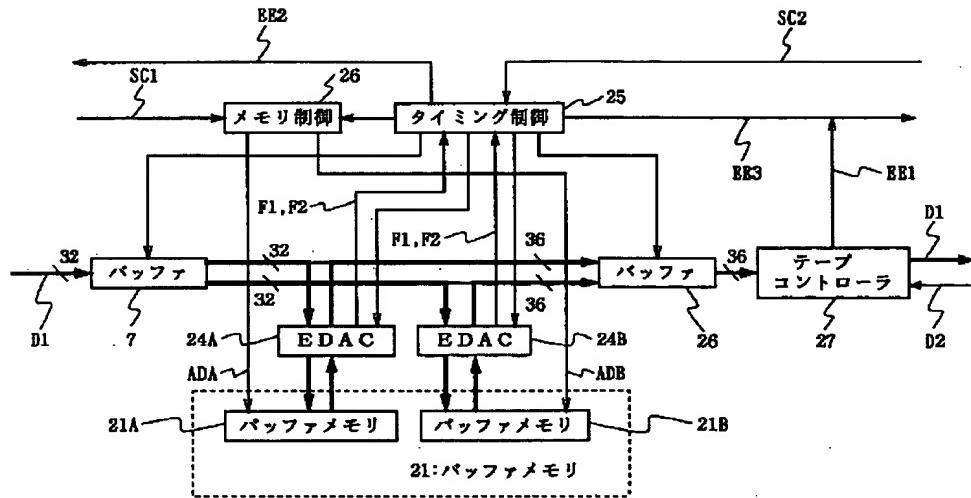
【図3】



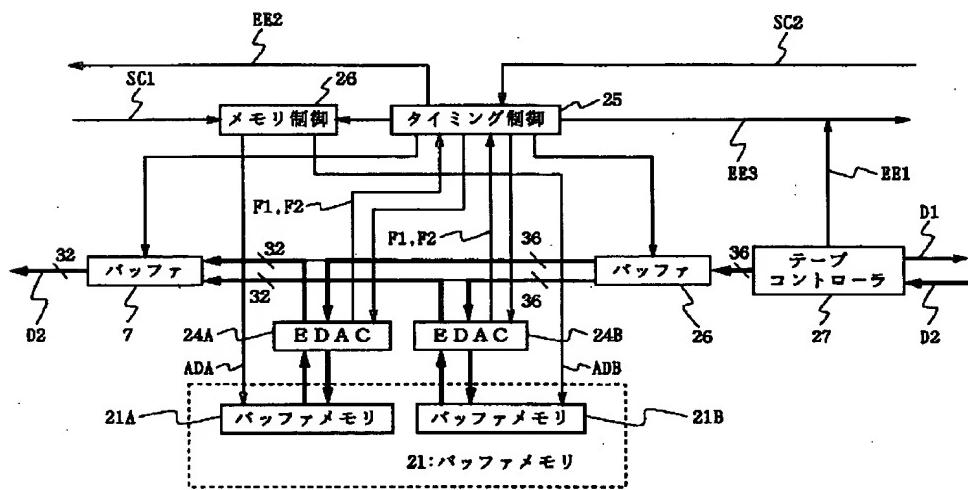
【図7】



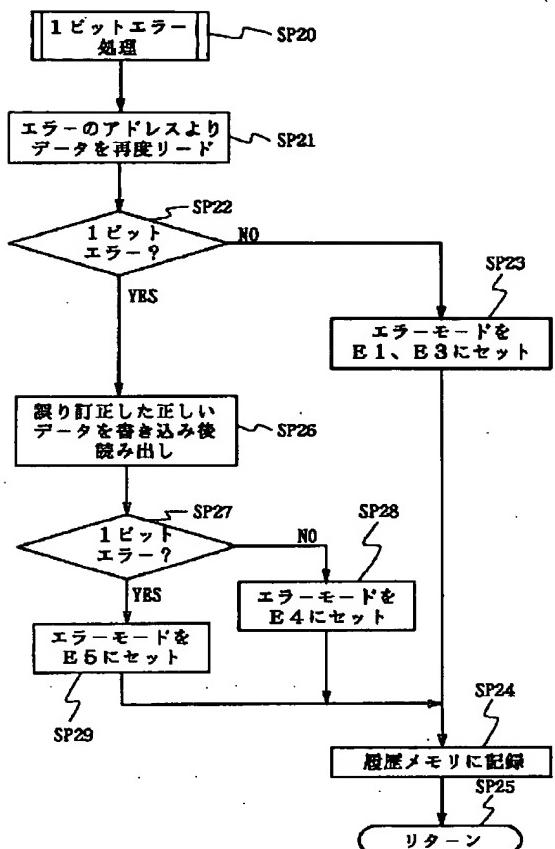
【図8】



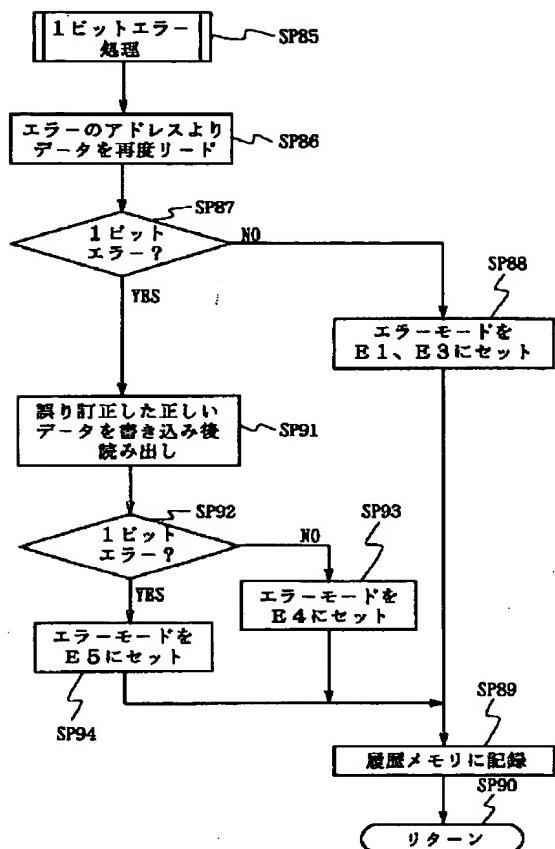
【図9】



【図10】



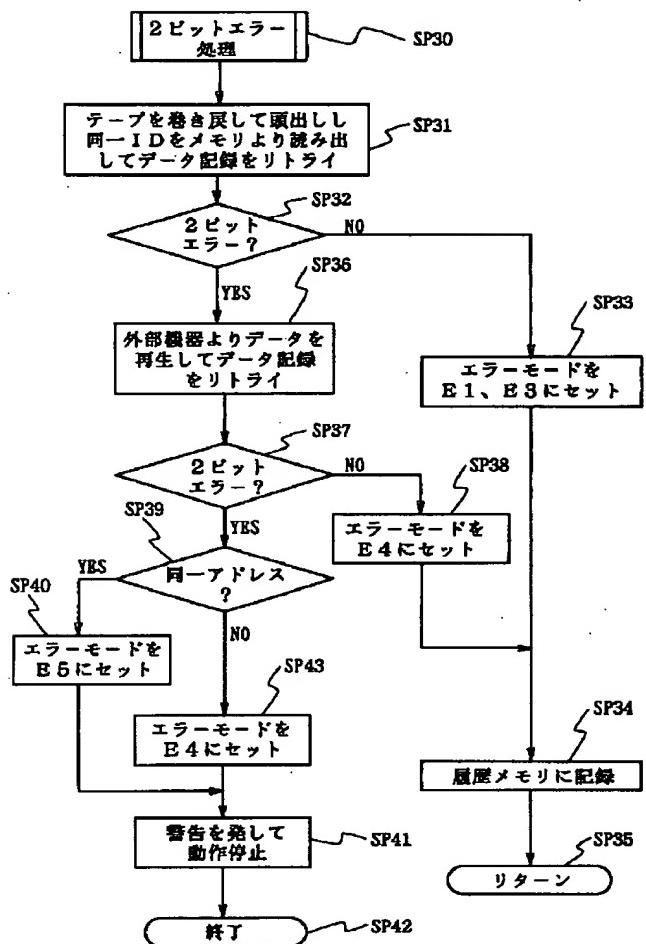
【図16】



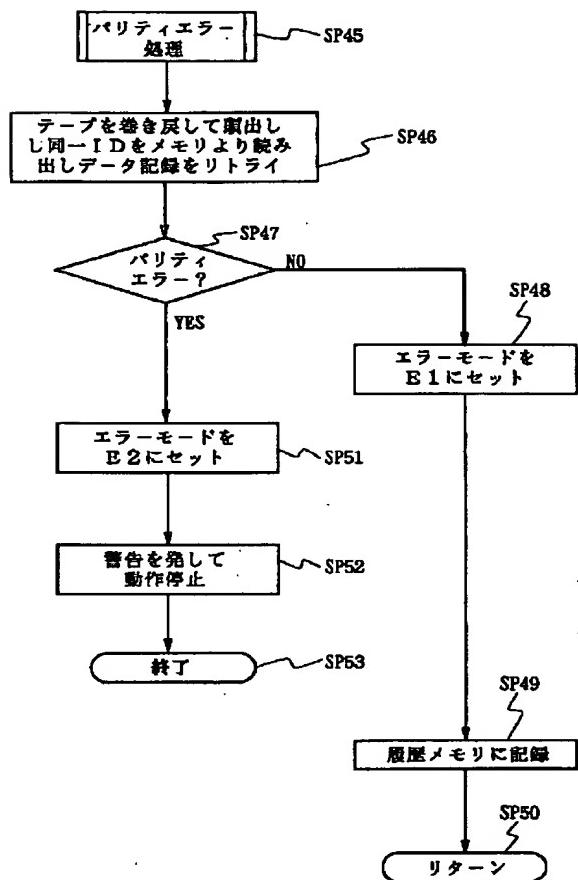
【図11】

エラーモード	エラー箇所	エラー	エラー原因
(E1)	メモリエラー以外	ソフトエラー	ノイズ等により、あるデータだけ変化する
(E2)		ハードエラー	回路の故障
(E3)	メモリエラー	ソフトエラー	メモリから読み出すときにピットエラー
(E4)			メモリ内のデータそのもののピットエラー
(E5)		ハードエラー	メモリの完全な故障
(E6)			メモリの故障しかかり

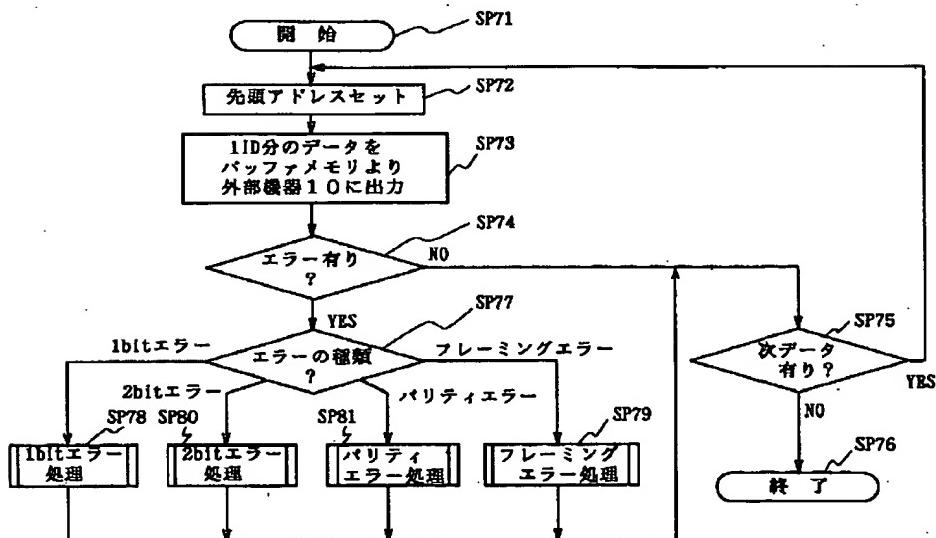
【図 12】



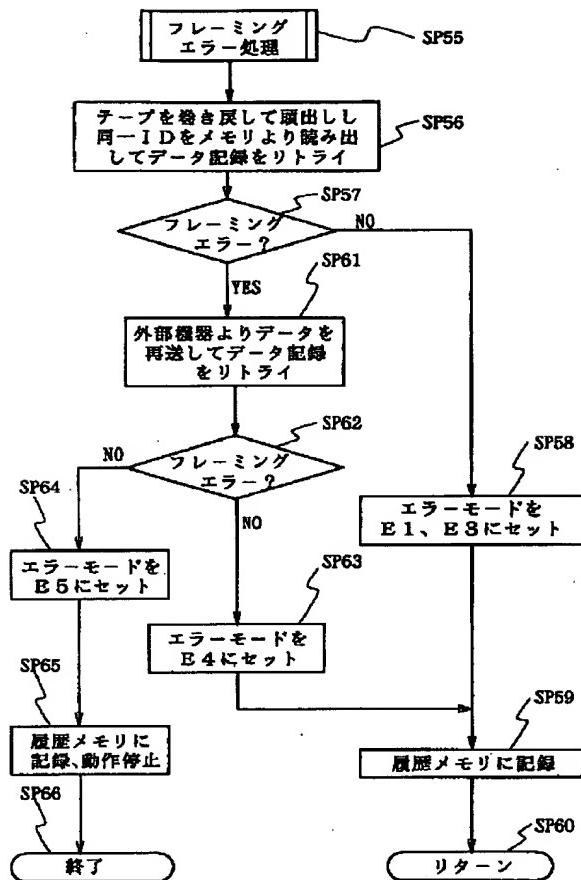
【図 13】



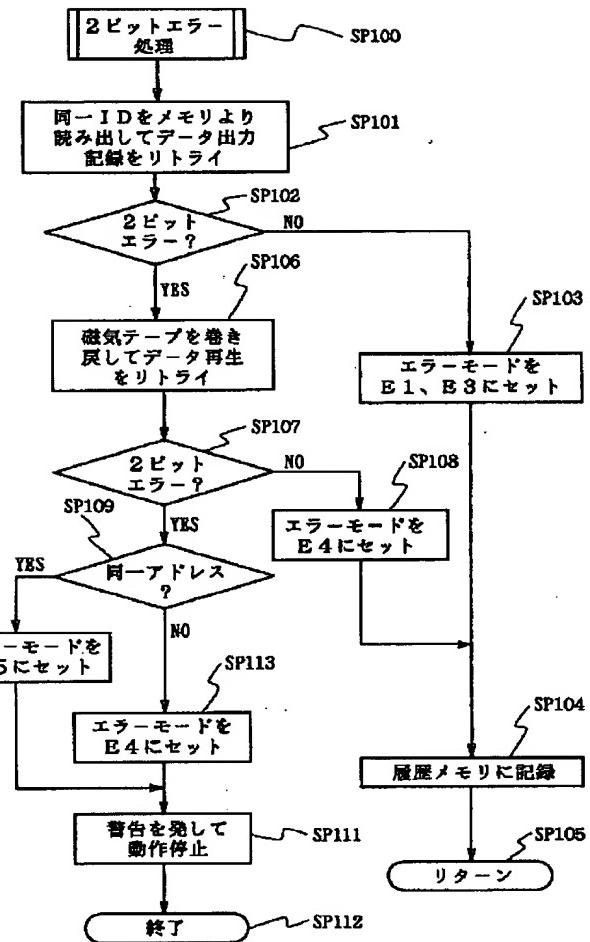
【図 15】



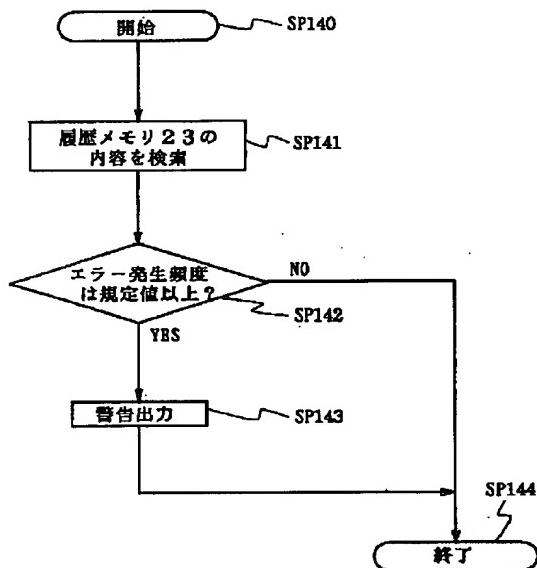
【図 14】



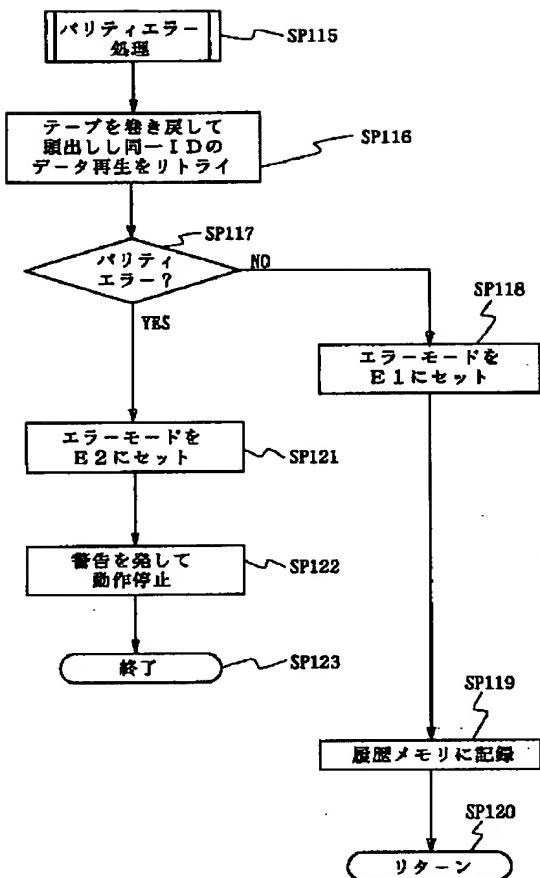
【図 17】



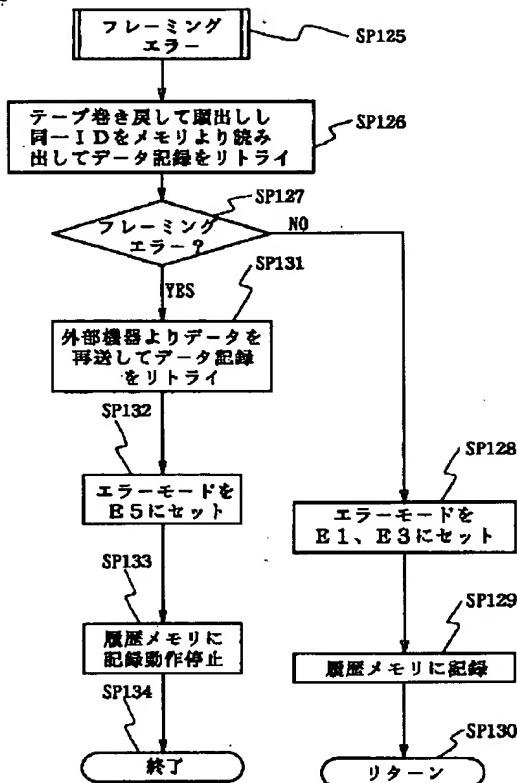
【図 20】



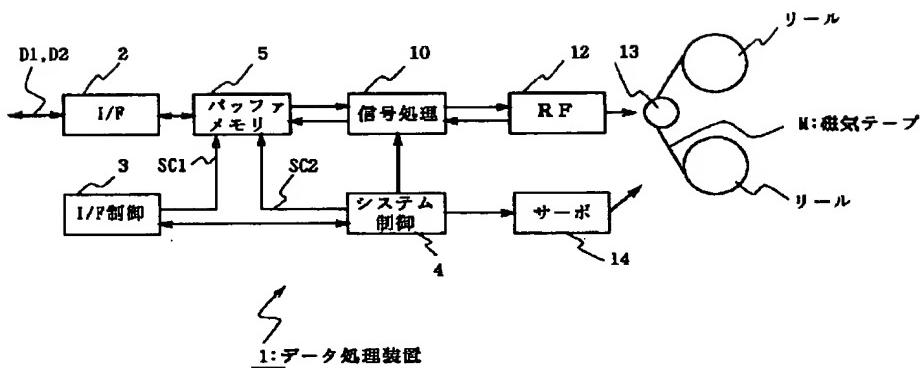
【図 18】



【図 19】



【図 21】



【図22】

